

(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030050981 A
(43)Date of publication of application: 25.06.2003

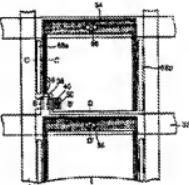
(21)Application number 1020010081771
(22)Date of filing: 20.12.2001
(30)Priority: ..
(51)Int. Cl G02F 1/136

(71)Applicant: LG PHILIPS LCD CO., LTD.
(72)Inventor: LEE, MIN JIK
PARK, CHEOL U

(54) LIQUID CRYSTAL DISPLAY AND METHOD FOR FABRICATING THE LIQUID CRYSTAL DISPLAY

(57) Abstract:

PURPOSE: A liquid crystal display and a method for fabricating the liquid crystal display are provided to maintain a uniform horizontal distance between a pixel electrode and a data line and prevent short-circuiting of neighboring pixel electrodes. CONSTITUTION: A thin film transistor is formed at the intersection of a gate line(32) and a data line (34). A pixel electrode(52) is connected to the thin film transistor to drive a liquid crystal cell. A storage electrode(54) is formed to be superposed on a portion of the pixel electrode having a predetermined distance from the data line and a portion of the gate line. A hole (58a,58b) is formed between the storage electrode and the data line along the data line. The distance between the data line and the pixel electrode is 4 micrometers or longer. The width of the hole is less than 3 micrometers.



copyright KIPO 2003

Legal Status

Date of request for an examination (20011220)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20050425)

Patent registration number (1004934350000)

Date of registration (20050525)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse (2005101001039)

Date of requesting trial against decision to refuse (20050218)

Date of extinction of right ()

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.7 G02F 1/136	(11) 공개번호 (43) 공개일자	특2003-0050981 2003년06월25일
(21) 출원번호 10-2001-0081771		
(22) 출원일자 2001년12월20일		
(71) 출원인 전자홀로그램스 코리아 주식회사 대한민국 150-875 서울 용산구 한강로 20번지 박술우 대한민국 702-757 대구광역시 북구 구암동 청구동 102동 410호 이민적 대한민국 701-782 대구광역시 동구 산천2동 신천주공아파트 07-803		
(74) 대리인 김명호		
(77) 상사청구 있음		
(54) 출원명 액정표시소자 및 그 제조방법		

묘약

본 발명은 화질을 향상시킬 수 있는 액정표시소자 및 그 제조방법에 관한 것이다.

본 발명에 따른 액정표시소자는 디이티라인과 게이트라인의 교차부에 형성되는 박막트ران지스터와, 박막트란지스터에 접속되어 있는 영역을 구동하기 위한 화소전극과, 디이티라인과 소성간격 이격되는 화소전극의 일부 영역과 게이트라인의 일부영역에 접속되어 있는 스트리리지전극과, 디이티라인을 따라 스트리리지전극과 디이티라인 사이에 형성되는 흙을 구비한다.

대표도

도5

영세서

도면의 간단한 설명

도 1은 통상의 액정표시소자를 나타내는 평면도.

도 2는 도 1에서 선 "A-A"를 따라 절개한 액정표시소자를 나타내는 단면도.

도 3a 내지 도 3e는 도 2에 도시된 액정표시소자의 제조방법을 나타내는 단면도.

도 4는 도 2에 도시된 화소전극의 패턴을 나타내는 평면도.

도 5는 본 발명에 따른 액정표시소자를 나타내는 평면도.

도 6은 도 5에서 선 "B-B'", "C-C'", "D-D'"를 따라 절개한 액정표시소자를 나타내는 단면도.

도 7a 및 도 7b는 도 5에 도시된 제1 및 제2 층의 패턴 경계를 나타내는 단면도.

도 8a 내지 도 8e는 도 6에 도시된 액정표시소자의 제조방법을 나타내는 단면도.

<<도면의 주요부분에 대한 부호의 간단한 설명>

1,31 : 가판 000002,32 : 게이트라인

4,34 : 디이티라인 00006,36 : 게이트전극

8,38 : 소스전극 000010,40 : 드레인전극

22,52 : 화소전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시소자에 관한 것으로, 특히 화질을 향상시킬 수 있는 액정표시소자 및 그 제조방법에 관한 것이다.

통상의 액정표시소자는 전극을 이용하여 액정의 전기부과율을 조절함으로써 화성을 표시하게 된다. 이를 위하여, 액정표시소자는 액정셀들이 웨트리스 형태로 배열되어진 백광형발광, 이 액정백발광을 구동하기 위한 구동회로를 구비하게 된다. 액정셀들은 각각에 전극을 인가하기 위한 화소전극과 광출전극이 마련되어 된다. 통상, 화소전극은 해부기판 상에 액정셀들을 형성되는 반면 광출전극은 상부기판의 전면에 일체화되어 형성되어 된다. 화소전극은 각각은 소위자 소자로 사용되는 박막 트랜지스터(Thin Film Transistor: TFT)에 접속되어 된다. 화소전극은 박막 트랜지스터를 통하여 공급되는 데이터신호에 따라 광출전극에 함께 액정셀을 구동하게 된다.

도 1 및 도 2를 조사하면, 액정표시소자는 데이터라인(4)과 게이트라인(2)의 교차부에 위치하는 TFT부(TFT), TFT부(TP)의 드레인전극(10)에 접속되어 화소전극(22), 화소전극(22)과 게이트라인(2)과의 접점부분에 위치하는 스트리너 캐패시터부(5)를 구비한다.

TFT부(TFT)는 게이트라인(2)에 접속된 게이트전극(6), 데이터라인(4)에 접속된 소스전극(8) 및 드레인 접촉층(20)을 통하여 화소전극(22)에 접속된 드레인전극(10)으로 이루어진다. 또한, TFT부(TP)는 게이트전극(6)에 공급되는 게이트전압에 의해 소스전극(8)과 드레인전극(10)간에 채널을 형성하기 위한 부도체층(14,16)을 더 구비한다. 이러한 TFT부(TP)는 게이트라인(2)으로부터의 게이트신호에 영향하여 데이터라인(4)으로부터의 데이터신호를 선택적으로 화소전극(22)에 공급한다.

화소전극(22)은 데이터라인(4)과 게이트라인(2)에 의해 형성된 셀 영역에 위치하여 광부과율이 높은 두영무기도전율층을 이루어진다. 이 화소전극(22)은 드레인 접촉층(20)을 경유하여 공급되는 데이터신호에 의해 상부기판(도시하지 않음)에 형성되는 광출전극(도시하지 않음)과 접촉위치를 발생시키게 된다. 이 전위차에 의해 하부기판(1)과 상부기판(도시하지 않음) 사이에 위치하는 액정은 유전율이 발생에 의해 회전하게 된다. 이에 따라 광판으로부터 화소전극(22)을 경유하여 광을 상부기판 쪽으로 투과되게 된다.

스트리너 캐패시터부(SP)는 화소전극(22)과 접점부분을 형성하는 액할을 하게 된다. 이러한 스트리너 캐패시터부(SP)는 게이트라인(2)과, 게이트접연막(12)을 사이에 두고 스트리너전극(24)으로 형성된다. 이 스트리너전극(24)은 보호막(18) 상에 형성된 스트리너접촉층(26)을 통해 화소전극(22)과 초기적으로 접속된다.

이러한 액정표시소자의 제조방법은 도 3a 내지 도 3e를 걸쳐하여 설명하기로 한다.

먼저, 하부기판(1) 상에 게이트접연막을 증착한 후 패턴팅함으로써 도 3a에 도시한 바와 같이 게이트라인(2) 및 게이트전극(6)이 형성된다. 게이트라인(2) 및 게이트전극(6)이 형성된 하부기판(1) 상에 제1 접연막층을 증착하여 게이트접연막(12)이 형성된다. 이 게이트접연막(12) 상에 제1 및 제2 반도체층을 형성한 후 패턴팅함으로써 형성층(14) 및 오이접촉층(16)이 형성된다. 그런 다음, 게이트접연막(12) 상에 게이트접연막을 증착한 후 패턴팅함으로써 스트리너전극(24), 소스전극(8) 및 드레인전극(10)이 형성된다. 이후, 제2 접연막층을 형성하여 보호층(18)을 형성한 후, 보호층(18)을 경계하는 드레인 접촉층(20) 및 스트리너접촉층(26)이 형성된다. 보호층(18)이 형성된 하부기판(1) 상에 투명전도성접연막을 증착한 후 패턴팅함으로써 화소전극(22)이 형성된다.

상술한 구조의 액정표시장치에 있어서 보호막(18)은 주로 점화실리콘(SiNx) 또는 산화실리콘(SiOx)과 같은 유전율이 높은 기판연결층으로 형성된다. 이 구조의 보호막(18)은 사이에 두고 형성된 화소전극(22)과 데이터라인(4)은 기상 캐퍼시터(Cds)에 의한 커迩링 효과를 최소화하기 위하여 올바른 수평간격(x), 예컨대 3~5μm의 간격을 유지해야만 한다. 그러나, 화소전극(22) 형성시 미스릴라인 인프가 발생하게 되어 화소전극(22)의 주위로 데이터라인(4) 간의 간격이 일정하지 않아 데이터라인(4)과 화소전극(22) 간의 기상 캐퍼시터(Cds) 형성이 불가능해지게 된다. 이 불가능한 기상 캐퍼시터(Cds)에 의한 커迩링 효과로 데이터라인(4)에 공급되는 데이터신호가 유통되어 화소전극(22)에 영향을 미친 화질이 발생되는 문제점이 있다.

또한, 화소전극(22) 형성시 도 4에 도시된 바와 같이 투명전도성접연막(22a)을 포토레지스틀판양(30)으로 패터닝시킨 후 포토레지스틀판양(30)을 제거한 일부영역에 투명전도성접연막(22a)이 일부 날이 화소전극(22) 간의 단락이 발생하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 화질을 향상시킬 수 있는 액정표시소자 및 그 제조방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시소자는 데이터라인과 게이트라인의 교차부에 형성되는 박막트랜지스터와, 박막트랜지스터에 접속되어 액정셀을 구동하기 위한 화소전극과, 데이터라인과 소성간막이 얹혀있는 화소전극의 일부 영역과 게이트라인의 일부영역에 증착되어 형성되는 스트리너전극과, 데이터라인 사이에 형성되는 게이트접연막과, 박막트랜지스터, 데이터라인 및 스트리너전극을 둘로 보호막을 구비하며, 혹은 보호막과 게이트접연막을 관통하는 것을 특징으로 한다.

상기 특징의 혹은 3~4μm이하인 것을 특징으로 한다.

상기 스트리너전극은 억(U)자 형태로 형성되는 것을 특징으로 한다.

상기 액정표시소자는 게이트라인과 스트리너전극 사이에 형성되는 게이트접연막과, 박막트랜지스터, 데이터라인 및 스트리너전극을 둘로 보호막을 구비하며, 혹은 보호막과 게이트접연막을 관통하는 것을 특징으로 한다.

상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시소자의 제조방법은 기판 상에 게이트라인을 형성하는 단계와, 기판 상에 게이트접연막을 형성하는 단계와, 게이트접연막 상에 데이터라인을 형성하고 동시에 게이트라인과 증착되는 영역에서 신장되어 데이터라인과 운행하게 형성되는 스트리너전극을 형성하는 단계와, 게이트접연막 상에 보호층을 형성하는 단계와, 스트리너전극과 데이터라인 사이에 상기 보호층과 게이트접연막을 관통하는 흄과 스트리너전극을 노출시키는 스트리너접촉층을 형성하는 단계와, 보호층 상에 화소전극을 형성하는 단계를 포함한다.

상기 액정표시소자의 제조방법은 기판 상에 게이트전극을 형성하는 단계와, 게이트접연막 상에 반도체층을 형성하는 단계와,

케이트찰연막과 반도체층 상에 소스전극 및 드레인전극을 형성하는 단계로, 보호층을 관통하여 홀소전극과 드레인전극을 출소시키는 드레인접촉층을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 ④에이터라인은 스토리지전극과 약 4μm 이상으로 이어되어 형성되는 것을 특징으로 한다.

상기 ⑤의 폭은 약 3μm에 하인 것을 특징으로 한다.

상기 폭적 외에 본 발명의 다른 특적 및 이점들은 일부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예들을 도 5 내지 도 8를 참조하여 실세하게 설명하기로 한다.

도 5 및 도 6를 참조하면, 양성표지소자의 하부기판(31)은 대이터라인(34)과 케이트라인(32)의 교차부에 위치하는 TFT부(TP)와, TFT부(TP)의 드레인전극(40)에 접속되는 홀소전극(52)과, 홀소전극(52)과 이전단의 케이트라인(32)과 중첩부분에 위치하는 스토리지 캐퍼시터부(SP)를 구비한다.

TFT부(TP)는 케이트라인(32)에 접속된 케이트전극(36), 대이터라인(34)에 접속된 소스전극(38) 및 드레인접촉층(50)을 통해 홀소전극(52)에 접속된 드레인전극(40)으로 이루어진다. 도한, TFT부(TP)는 케이트전극(36)에 공급되는 케이트전극에 의해 소스전극(38)과 드레인전극(40)에 채널을 형성하기 위한 반도체층(44,46)을 더 구비한다. 이러한 TFT부(TP)는 케이트라인(32)으로부터의 케이트신호에 영향하여 대이터라인(34)으로부터의 대이터신호를 선택적으로 홀소전극(52)에 공급한다.

홀소전극(52)은 대이터라인(34)과 케이트라인(32)에 의해 형성되는 영역에 위치하여 쟁투栅을 뿐만 아니라도 전자栅을 이루고 있다. 이 홀소전극(52)은 드레인접촉층(50)에 경유하여 공급되는 대이터신호에 의해 설부기판(도시하지 않음)에 충성되는 공통전극(도시하지 않음)과 전위차를 발생시키게 된다. 이 전위차에 의해 하부기판(31)과 상부기판(도시하지 않음) 사이에 위치하는 양극은 유전율이 강경에 의해 홀을 형성하게 된다. 이에 따라, 평원으로부터 홀소전극(52)을 경유하여 공급되는 경상 설부기판 쪽으로 흘러들어가게 된다.

스토리지 캐퍼시터부(SP)는 홀소전극(52)의 전입변동을 억제하는 역할을 하게 된다. 이러한 스토리지 캐퍼시터부(SP)는 케이트라인(32)과 케이트찰연막(42)을 사이에 두고 형성되는 스토리지전극(54)으로 이루어진다. 스토리지전극(54)은 보호막(48)에 형성된 소스리리자전극(56)을 통해 홀소전극(52)과 접속적으로 접속된다.

또한, 스토리지전극(54)은 대이터라인(34)과 동일층에 형성되어, 대이터라인(34)과 평행하게 선정되어 홀소전극(52)과 중첩된다. 이 스토리지전극(54)과 대이터라인(34) 간의 이격거리는 약 4μm 이상으로 형성된다.

이에 따라, 홀소전극(52)의 좌우에 위치하는 대이터라인(34)과 홀소전극(52) 간의 수령거리가 일정해져 홀소전극(52)과 대이터라인(34) 간의 기생개파시티(Cds) 용량이 일정해진다. 이에 따라, 총량 기생개파시티(Cds) 둘째일에 의한 대이터신호의 액화를 방지할 수 있어 화질이 개선된다. 또한, 스토리지전극(54)이 홀소전극(52)의 일부영역을 감싸는 역“U”자 형태로 형성되므로 종래보다 스토리지전극(54)면적이 넓어져 스토리지폐지판용량이 커진다.

이러한 스토리지전극(54)과 대이터라인(34) 사이에는 보호층(48)과 케이트찰연막(42)을 관통하는 제1 및 제2 층(58a,58b)이 형성된다. 제1 및 제2 층(58a,58b)은 대이터라인(34)을 따라 길게 형성되어, 약 3μm 이하의 폭을 갖도록 형성된다. 이 때, 스토리지전극(54)과 대이터라인(34) 사이에 뾰족한 뿔형에 의한 단락이 형성되어 있어라도 저울로 끌어지는 경우를 차지하게 된다.

이러한 층 1 및 제2 층(58a,58b) 상에 홀소전극(52)을 형성하는 데 영향전도성율(52a)은 도 7a에 도시된 바와 같이 제1 및 제2 층(58a,58b)의 경사부에 상대적으로 약게 증착된다. 이에 따라, 총량 기생개파시티(Cds) 둘째일에 의한 대이터신호의 액화를 방지할 수 있어 홀을 형성된다. 이에 따라, 총량 기생개파시티(Cds) 둘째일에 의한 대이터신호의 액화를 방지할 수 있어 홀을 형성된다. 이에 따라, 제1 및 제2 층(58a,58b)에 형성되는 홀소전극(52)의 일부영역을 감싸는 역“U”자 형태로 형성되므로 종래보다 스토리지전극(54)면적을 넓여져 홀을 형성된다.

반면에, 소스리리자전극(56)과 드레인접촉층(50)과 대이터접촉층(50)과 대이터되는 영역에 중첩되는 루영전도성율(52b)은 그 상부에 모토레지스트트랜(60)이 형성된다. 이에 따라, 총량 기생개파시티(Cds) 하부에 루영전도성율(52b)이 잔존하게 되어 추후에 홀소전극(52)으로 형성된다.

도 8a 내지 도 8e는 도 6에 도시된 양성표지소자의 제조방법을 나타내는 도면이다.

도 8a를 참조하면, 기판(51) 상에 스팍터링(sputtering) 등의 증착방법으로 케이트금속층을 씌우고 그 위에 알루미늄(AI) 또는 알루미늄합금 등을 이용된다. 이어서, 케이트금속층을 씌우고 그 위에 케이트찰연막(42) 및 케이트찰연막(36)이 형성된다.

도 8b를 참조하면, 케이트라인(32) 및 케이트전극(36)이 출소된 기판(51) 상에 케이트찰연막(42)이 형성된다. 케이트찰연막(42)은 무기금속을 출소한 산화질리콘(SiO_x) 또는 질화질리콘(SiN_x)이 사용된다. 케이트찰연막(42) 상에는 제1 및 제2 반도체층이 홀화기상증착(Chemical Vapor Deposition) 방법으로 연속 증착된다. 제1 반도체층은 물질들이 도핑되지 않은 비정질질리콘으로 형성되며, 제2 반도체층은 N₂ 또는 P₂의 물질들이 도핑된 비정질질리콘으로 형성된다. 이어서, 제1 및 제2 반도체층이 건식식각(Dry Etching) 공정을 포함하는 포토리소그래피 방법으로 패러닝층으로서 출소층(44) 및 오익질층(46)이 형성된다.

도 8c를 참조하면, 출소층(44) 및 오익질층(46)이 형성된 케이트찰연막(42) 상에 CVD방법 또는 스피터링(sputtering) 등의 출소방법으로 대이터금속층이 증착된다. 대이터금속층으로는 규름(Co) 또는 몰리브덴(Mo)으로 형성된다. 이어서, 대이터금속층을 출소식각 공정을 포함하는 포토리소그래피 공정으로 패러닝층으로서 츠리지전극(54), 대이터라인(34), 소스전극(38) 및 드레인전극(40)이 형성된다. 그 다음, 소스전극(38)과 드레인전극(40) 사이로 노출된 오익질층(46)이 건식식각 공정으로 제거되어 소스전극(38)과 드레인전극(40)을 분리시킨다. 오익질층(46)이 일부 제거됨으로써 출소층(44)에서 소스 및 드레인전극(38,40) 사이의 케이트전극(36)과 대응하는 부위를 깨끗이 된다.

도 8d를 참조하면, 스토리지전극(54), 대이터라인(34), 소스전극(38) 및 드레인전극(40)이 형성된 기판(51)의 케이트찰연막(42) 상에 물질들이 출소된다. 출소물질의 재질로는 아크릴(Acryl)과 유기화합물, BCB(benzocyclobutene), PFCB(perfluorocyclobutane) 등의 유기화합물, 또는 질화질리콘(SiN_x), 산화질리콘(SiO_x) 등의 무기화합물을 포함하는 형성된다. 이어서, 물질을 출소하는 공정을 포함하는

포토리소그래피공정으로 패터닝함으로써 보호층(48), 스토리지층층(50), 드레이언층층(50), 제1 및 제2 층(58a, 58b)이 형성된다.

스토리지층층(56)은 보호층(48)을 관통하여 스토리지전극(54)의 일부가 노출되고도 층성되며, 드레이언층층(50)은 보호층(48)을 관통하여 드레이언전극(40)의 일부가 노출되고 층성된다. 제1 및 제2 층(58a, 58b)은 보호층(48)과 게이트층면막(42)을 관통하여 이웃하는 화소전극간의 단락결함을 방지한다.

도 8e를 참조하면, 보호막(48) 상에 스퍼터링(sputtering) 등과 같은 층착방법으로 뿐만전극층이 층성된다. 뿐만전극층은 인듐-탄-옥사이드(Indium-Tin-Oxide : ITO), 인듐-징크-옥사이드(Indium-Zinc-Oxide : IZO) 또는 인듐-탄-징크-옥사이드(Indium-Tin-Zinc-Oxide : ITZO)으로 사용된다. 이어서, 뿐만전극층이 삼각공정을 포함하는 포토리소그래피 공정으로 패터닝함으로써 화소전극(52)이 형성된다. 화소전극(52)은 보호막(48)을 관통하는 도전인점층(50)을 통하여 드레이언전극(40)과 접속되며, 스토리지층층(56)을 통해 스토리지전극(54)과 접속된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 역정표시소자 및 그 제조방법에 의하면, 스토리지전극을 데이터라인과 동일층에 데이터라인과 평행하여 형성되어 화소전극과 접속된다. 이에 따라, 화소전극과 데이터라인 간의 수용간격을 일정하게 유지할 수 있다.

또한, 데이터라인과 스토리지전극 사이에 흙을 형성함으로써 이웃하는 화소전극간의 단락결함을 방지할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술상을 알랄하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 다만, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특히 청구의 범위에 의해 정하여져야 할 것이다.

(57) 청구의 범위

청구항 1.

데이터라인과 게이트라인의 교차부에 형성되는 박막트랜지스터와,

상기 박막트랜지스터에 접속되어 역정표를 구동하기 위한 화소전극과,

상기 데이터라인과 소정간격 이격되는 화소전극의 일부 영역과 상기 게이트라인의 일부영역에 중첩되도록 형성되는 스토리지전극과,

상기 데이터라인을 따라 상기 스토리지전극과 상기 데이터라인 사이에 형성되는 흙을 구비하는 것을 특징으로 하는 역정표시소자.

청구항 2.

제 1 항에 있어서,

상기 데이터라인과 화소전극의 이격거리는 4nm 이상인 것을 특징으로 하는 역정표시소자.

청구항 3.

제 1 항에 있어서,

상기 흙의 폭은 3nm이하인 것을 특징으로 하는 역정표시소자.

청구항 4.

제 1 항에 있어서,

상기 스토리지전극을 억지'나'자 형태로 형성되는 것을 특징으로 하는 역정표시소자.

청구항 5.

제 1 항에 있어서,

상기 게이트라인과 스토리지전극 사이에 형성되는 게이트절연막과,

상기 박막트랜지스터, 데이터라인 및 스토리지전극을 막는 보호막을 구비하여,

상기 흙은 상기 보호막과 게이트절연막을 관통하는 것을 특징으로 하는 역정표시소자.

청구항 6.

기판 상에 게이트라인을 형성하는 단계와,

상기 기판 상에 게이트절연막을 형성하는 단계와,

상기 게이트절연막 상에 데이터라인을 형성하고 동시에 상기 게이트라인과 중첩되는 영역에서 신경되어 상기 데이터라인과 평행하게 형성되는 스토리지전극을 형성하는 단계와,

상기 게이트절연막 상에 보호층을 형성하는 단계와,

상기 스토리지전극과 데이터라인 사이에 상기 보호층 및 게이트절연막을 관통하는 흙과 상기 스토리지전극을 노출시키는 스토리지층층을 형성하는 단계와,

상기 보호층 상에 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 역정표시소자의 제조방법.

청구항 7.

제 6 항에 있어서,

상기 기판 상에 게이트절연막을 형성하는 단계와,

상기 게이트 절연막 상에 반도체층을 형성하는 단계로,

설기 계이트줄연막과 반도체총 설에 소스전극 및 드레인전극을 형성하는 단계였.

한국 철도기술협회는 2018년 10월 12일(수) 오후 2시 30분에 개최되는 제2회 철도기술대회에서 우수기술상을 수상하였습니다.

卷之三

제 6 환경 앤서,

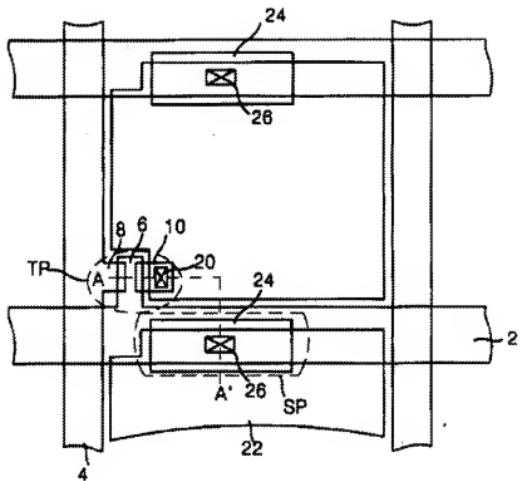
첨구항 9.

제 6 항에 있어서,

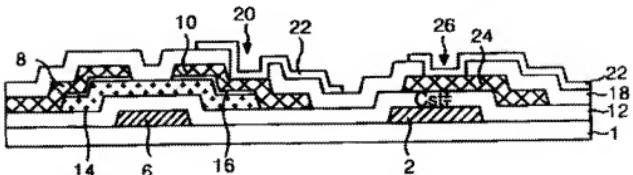
상기 풀의 폭은 약 $3\mu\text{m}$ 이 하인 것을 특징으로 하는 액정표시소자의 제조방법.

도언

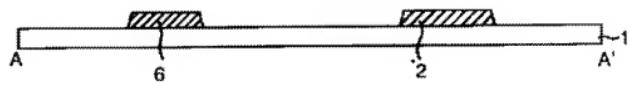
三〇



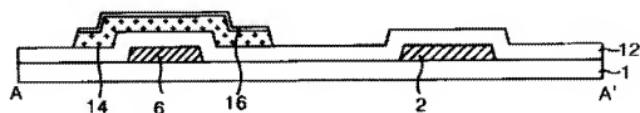
五〇二



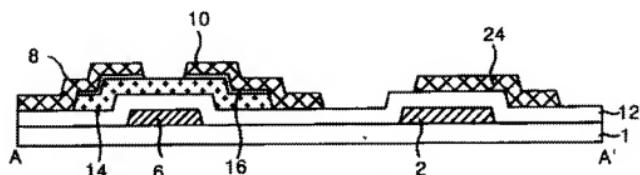
GDS 3a



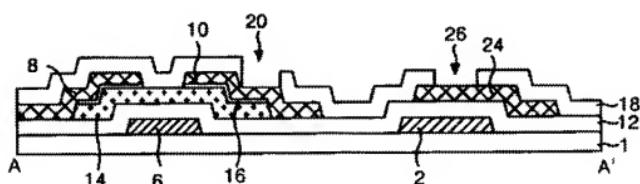
도면 3b



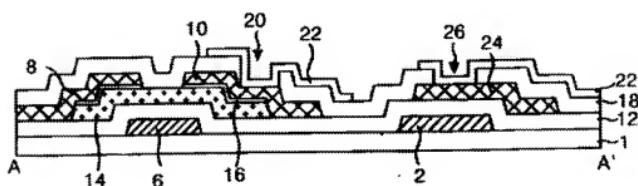
도면 3c



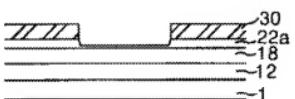
도면 3d



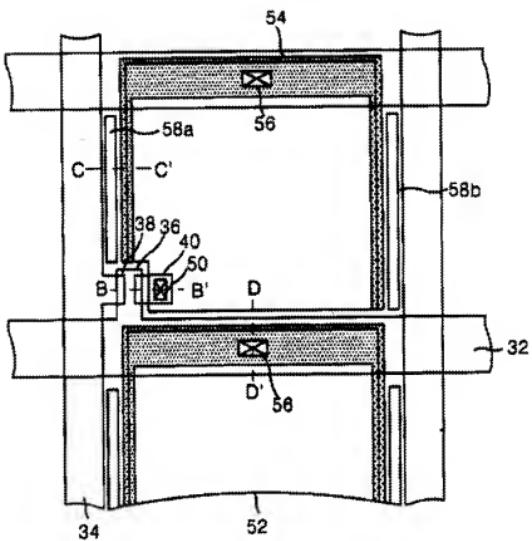
도면 3e



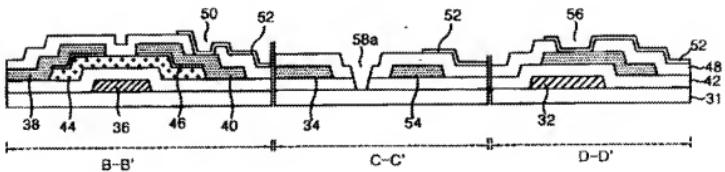
도면 4



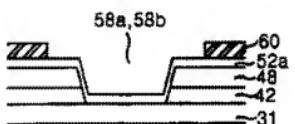
도면 5



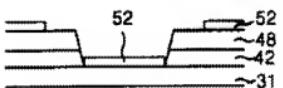
도면 6



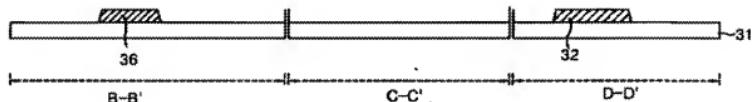
도면 7a



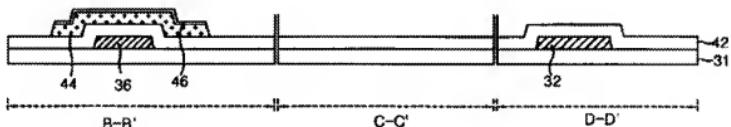
도면 7b



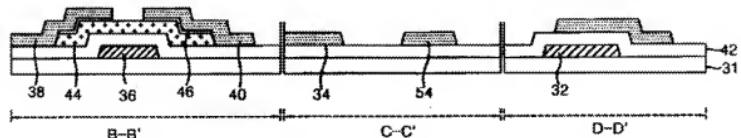
도면 8a



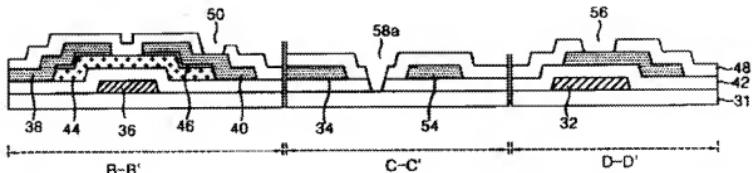
도면 8b



도면 8c



도면 8d



도면 8e

